

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-145074  
(43)Date of publication of application : 28.05.1999

(51)Int.Cl. H01L 21/265  
H01L 21/762  
H01L 27/12

(21)Application number : 09-308493  
(22)Date of filing : 11.11.1997

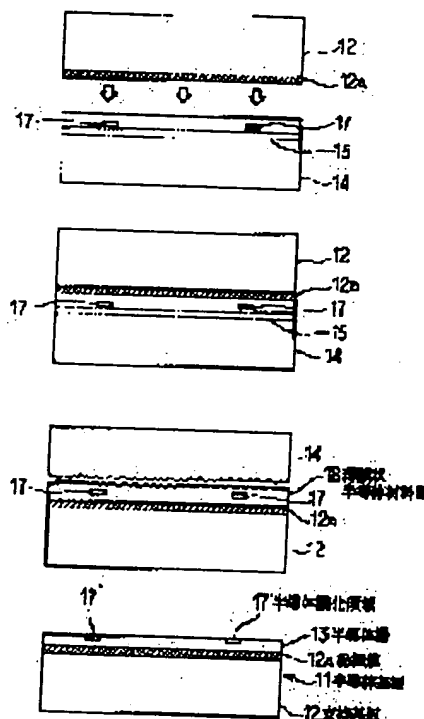
(71)Applicant : DENSO CORP  
(72)Inventor : HAYASHI KOICHI  
YAMAUCHI SHOICHI  
YAMANAKA AKITOSHI  
MATSUI MASAKI

## (54) MANUFACTURE OF SEMICONDUCTOR SUBSTRATE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To considerably improve a film thickness precision of a semiconductor layer at the time of providing the semiconductor layer for forming element, in a state where it is electrically insulated from a supporting substrate on the supporting substrate.

**SOLUTION:** A hydrogen ion implanting layer 15 is formed on the whole area of a position in prescribed depth from the surface on a single crystal silicon substrate 14 through an ion implanting process. Then, an oxygen ion implanting layer 17 is partially formed in a position shallower than the layer 15. In adhesion processes shown in (e) and (f), the supporting substrate 12 is adhered to the single crystal silicon substrate 14. In a heat treatment process sharing a removing process shown in (g), the single crystal silicon substrate 14 is removed in the part of the hydrogen ion implanting layer 15 in accordance with heat treatment, a thin film-like silicon layer 18 is formed and the oxygen ion implanting layer 17 is moved to a silicon oxide area 17'. In a removed face polishing process shown in (h), a single crystal silicon film 13 in the size of prescribed thickness is formed by selection polishing with the silicon oxide area 17' as a stopper.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

特開平11-145074

(43) 公開日 平成11年(1999) 5月28日

(51) Int. Cl. <sup>a</sup>

識別記号

F I

H01L 21/265

H01L 21/265

Q

21/762

27/12

B

27/12

F

21/265

J

21/76

D

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願平9-308493

(22) 出願日 平成9年(1997)11月11日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 林 宏一

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(72) 発明者 山内 庄一

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(72) 発明者 山中 昭利

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(74) 代理人 弁理士 佐藤 強

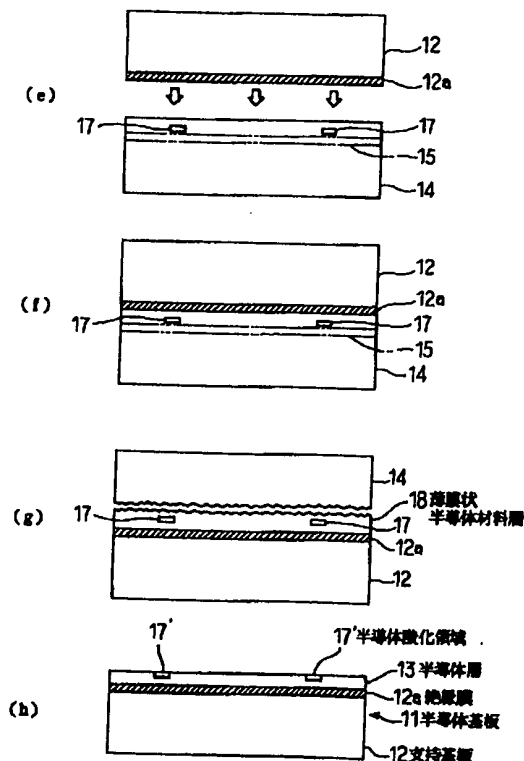
最終頁に続く

(54) 【発明の名称】 半導体基板の製造方法

(57) 【要約】

【課題】 支持基板上に当該支持基板と電気的に絶縁した状態の素子形成用半導体層を設ける場合に、その半導体層の膜厚精度を大幅に向上すること。

【解決手段】 単結晶シリコン基板14には、イオン注入工程などを経ることにより、その表面から所定深さ位置の全域に水素イオン注入層15が形成されると共に、これより浅い所定位置に酸素イオン注入層17が部分的に形成される。(e)、(f)に示す貼り合わせ工程では、単結晶シリコン基板14に支持基板12が貼り合わされる。(g)に示す剥離工程を兼用した熱処理工程では、熱処理に応じて、単結晶シリコン基板14が水素イオン注入層15部分で剥離されて薄膜状シリコン層18が形成されると共に、酸素イオン注入層17がシリコン酸化領域17'に遷移される。(h)に示す剥離面研磨工程では、シリコン酸化領域17'をストップとした選択研磨により、所定厚さ寸法の単結晶シリコン膜13を形成する。



## 【特許請求の範囲】

【請求項1】 支持基板(12)上に当該支持基板(12)と電気的に絶縁した状態で素子形成用の半導体層(13)を設けて成る半導体基板(11)の製造方法において、

前記半導体層(13)を形成するための半導体基板材料(14)の表面から所定深さの位置にイオン注入して剥離用イオン注入層(15)を形成する剥離用イオン注入工程、

前記半導体基板材料(14)の表面側から酸素イオンを注入することにより、当該半導体基板材料(14)における前記剥離用イオン注入層(15)より浅い所定位置に酸素イオン注入層(17)を形成する酸素イオン注入工程、

前記半導体基板材料(14)のイオン注入側の面に前記支持基板(12)を貼り合わせる貼り合わせ工程、

前記半導体基板材料(14)及び支持基板(12)の一体物に対し熱処理を施すことにより、前記半導体基板材料(14)を前記剥離用イオン注入層(15)により形成される欠陥層部分で剥離して前記酸素イオン注入層(17)を内包した薄膜状半導体材料層(18)を形成する剥離工程、

前記酸素イオン注入層(17)を半導体と反応させて半導体酸化領域(17')を形成するための熱処理工程、前記薄膜状半導体材料層(18)における剥離面を前記半導体酸化領域(17')をストップとした状態で選択研磨することにより前記半導体層(13)を形成する剥離面研磨工程、

を実行することを特徴とする半導体基板の製造方法。

【請求項2】 前記剥離工程での熱処理を、前記熱処理工程での熱処理により兼用した状態で実行することを特徴とする請求項1記載の半導体基板の製造方法。

【請求項3】 前記酸素イオン注入工程に先立って、前記半導体基板材料(14)の表面に、素子の非形成領域において部分的に開口したマスク部材(16)を形成するマスキング工程を実行すると共に、当該酸素イオン注入工程の実行後に前記マスク部材(16)を除去するマスク除去工程を実行することを形成する請求項1または2記載の半導体基板の製造方法。

【請求項4】 請求項3記載の半導体基板の製造方法において、前記マスキング工程では、前記マスク部材(16)を、その開口領域(16a)が前記半導体基板材料(14)の表面全体にほぼ均一に分布した状態となるように形成することを特徴とする半導体基板の製造方法。

【請求項5】 請求項1ないし4記載の半導体基板の製造方法において、

前記支持基板(12)の材料として半導体材料を使用し、前記貼り合わせ工程の実行前の段階で、前記支持基板(12)上における前記半導体基板材料(14)との

貼り合わせ面側に絶縁膜(12a)を形成する絶縁膜形成工程を実行することを特徴とする半導体基板の製造方法。

【請求項6】 請求項1ないし4記載の半導体基板の製造方法において、

前記支持基板(12)の材料として半導体材料を使用し、

前記貼り合わせ工程の実行前の段階で、前記半導体基板材料(14)における前記支持基板(12)との貼り合わせ面側に絶縁膜(12a)を形成する絶縁膜形成工程を実行することを特徴とする半導体基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、支持基板上に当該支持基板と電気的に絶縁した状態で素子形成用の半導体層を設けて成る半導体基板の製造方法に関する。

## 【0002】

【発明が解決しようとする課題】この種の半導体基板としては、例えば、半導体層としてシリコン単結晶膜を設ける構成のSOI(Silicon On Insulator)基板がある。これは、支持基板となるシリコン基板上に絶縁用の酸化膜を形成すると共に、その上にシリコン単結晶膜を形成した構造を有するもので、このような半導体基板を用いることにより、基板との絶縁分離工程を別途に実施する必要がなくなり、分離性能が良く、高い集積度でシリコン単結晶膜に素子を形成して集積回路を作り込むことができるようになる。

【0003】このようなSOI構造のためのシリコン単結晶膜の製造方法としては、従来より種々の方法が採用されているが、その中で以下のような3段階の工程を経て製造するようにした半導体薄膜製造技術が特開平5-211128号公報に開示されている。以下に、その製造方法について図4を用いて説明する。

【0004】まず、第1段階として、半導体基板材料1中へ、その表面側から水素ガス若しくは希ガスをイオン注入することにより(図4(a)参照)、半導体基板材料1の所定深さに注入イオンが分布したイオン注入層2を形成する。次に、第2段階として、この半導体基板材料1のイオン注入側の面1aに、少なくとも1つの剛性材料から形成された支持基板3を貼り合わせ法などにより結合させる(図4(b)参照)。尚、支持基板3は、シリコンウェハから成るもので、その貼り合わせ面は、絶縁膜4によって被覆された状態となっている。

【0005】次に、第3段階として、半導体基板材料1及び支持基板3の一体物に対して熱処理を施すことにより、イオン注入層2に形成されるマイクロボイド(微小気泡)部分Pを境界として半導体基板材料1の貼り合わせ面側を薄膜状に剥離するものであり、以て支持基板3上に絶縁膜4を介してシリコン単結晶膜5が接合された状態とする(図4(c)参照)。

【0006】実際には、シリコン単結晶膜5の剥離面には数nm程度の表面段差及び欠陥層が存在するため、その剥離面に研磨処理及びエッチング処理などを施して当該シリコン単結晶膜5を平坦に仕上げると共に所定膜厚(例えば1 $\mu$ m以下、場合によっては0.1 $\mu$ m程度)に調整してSOI基板6を完成させるものである(図4(d)参照)。

【0007】ところで、上記のようにシリコン単結晶膜5の剥離面に研磨処理を施す場合には、その研磨量の制御、つまりシリコン単結晶膜5の膜厚制御を、研磨レート10を考慮した時間管理により行うことになる。しかしながら、このような研磨処理では、その研磨精度が低くならざるを得ないため、最終的に得られるSOI層(シリコン単結晶膜5)の膜厚精度を高めることが困難になって、その膜厚が大小ばらつくことになるという問題点がある。具体的には、膜厚が1 $\mu$ m以下の薄いSOI層を形成しようとする場合には、上記のような研磨精度の制約からSOI層の膜厚のばらつきが許容範囲を越える頻度が高くなるものであり、このため所望の素子を作り込むことが不可能になるなどの問題点が出てくる。

【0008】本発明は上記のような事情に鑑みてなされたものであり、その目的は、支持基板上に当該支持基板と電気的に絶縁した状態の素子形成用半導体層を設ける場合に、その半導体層の膜厚精度を大幅に向上できるようななどの効果を奏する半導体基板の製造方法を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するために請求項1に記載したような半導体基板の製造方法を採用できる。この製造方法によれば、半導体基板材料には、剥離用イオン注入工程及び酸素イオン注入工程の実行に応じて、その表面から所定深さの位置に剥離用イオン注入層(15)が形成されると共に、これより浅い所定位置に酸素イオン注入層(17)が形成されることになる。このように2層のイオン注入層が形成された半導体基板材料(14)に対しては、貼り合わせ工程において、そのイオン注入側の面に支持基板(12)が貼り合わされる。

【0010】さらに、剥離工程において、上記半導体基板材料(14)及び支持基板(12)の一体物に対し熱40処理が施されることにより、半導体基板材料(14)が剥離用イオン注入層(15)により形成される欠陥層部分で剥離されるようになり、以て支持基板(12)側に残置された状態の薄膜状半導体材料層(18)が形成される。この場合、薄膜状半導体材料層(18)の厚さ寸法は、剥離用イオン注入層(15)の深さ位置に依存することになる。また、酸素イオン注入層(17)は、剥離用イオン注入層(15)より浅い位置に形成されたものであるから、薄膜状半導体材料層(18)は、当該酸素イオン注入層(17)を内包した状態となる。

50

【0011】この後、上記酸素イオン注入層(17)にあっては、熱処理工程の実行に応じて半導体酸化領域(17')へ遷移されるものである。つまり、薄膜状半導体材料層(18)内には、酸素イオン注入層(17)と同じ位置に、研磨レートが当該薄膜状半導体材料層(18)より遅い半導体酸化領域(17')が形成されることになる。

【0012】そして、剥離面研磨工程では、上記薄膜状半導体材料層(18)における剥離面を、半導体酸化領域(17')をストップとした状態で選択研磨することにより、所定厚さ寸法の半導体層(13)を形成する。このように半導体酸化領域(17')をストップとした選択研磨が行われる結果、半導体層(13)の厚さ寸法を、その研磨精度の影響を受けることなく、酸素イオン注入層(17)のイオン注入深さのみに依存させることが可能になり、その膜厚精度が大幅に向上するようになる。従って、半導体層(13)の膜厚が0.1 $\mu$ m程度に薄く設定されるような状況下でも、所望の半導体素子を作り込むことが不可能になる事態を招く恐れがなくなるものである。

【0013】請求項2記載の製造方法のように、前記剥離工程での熱処理を前記熱処理工程での熱処理と兼用した工程として実行する場合には、製造効率の向上を実現できるようになる。

【0014】請求項3記載の製造方法のように、前記酸素イオン注入工程に先立って、半導体基板材料(14)の表面に、素子の非形成領域において部分的に開口したマスク部材(16)を形成するマスキング工程を実行する。その後の酸素イオン注入工程の実行後に上記マスク部材(16)を除去するマスク除去工程を実行する。その場合には、剥離面研磨工程において、半導体酸化領域(17')が露出した時点(半導体酸化領域(17')をストップとした状態の選択研磨が終了した時点)で、所望の厚さ寸法の半導体層(13)を形成できることになり、半導体酸化領域(17')は素子の非形成領域に形成されるので、その半導体酸化領域(17')を除去するなどの後加工が不要になる。

【0015】この場合、請求項4記載の製造方法のように、マスク部材(16)における開口領域(16a)が半導体基板材料(14)の表面全体にほぼ均一に分布した状態となるように形成する構成とした場合には、その後に形成されることになる半導体酸化領域(17')の分布もほぼ均一となるから、その半導体酸化領域(17')による研磨ストップ機能を確実に働かせ得ようになる。

【0016】

【発明の実施の形態】以下、本発明の一実施例について図面を参照しながら説明する。尚、図1及び図2は、SOI基板の製造工程を模式的な断面図により示し、図3は、その製造工程の全体の流れを容易に把握できるよう

にするための参考工程図である。

【0017】図2(h)には、本発明でいうところの半導体基板であるSOI基板11が示されている。このSOI基板11は、単結晶シリコン基板のような半導体材料により形成された支持基板12上に、素子形成用の単結晶シリコン膜13（本発明でいう半導体層に相当）を設けて成るもので、それら支持基板12及び単結晶シリコン膜13間には絶縁膜としてのシリコン酸化膜12aが介在されている。

【0018】このような構造のSOI基板11は、その後素子形成工程において、単結晶シリコン膜13を利用して各種半導体素子を形成する場合に、全体として支持基板12とは絶縁された状態で回路を形成することができ、電気的特性に優れたものを得ることができる。また、SOI構造となっていることから、素子形成工程に先立って、素子形成領域を設けるための絶縁分離拡散などの時間を要する加工工程が不要となる利点がある。

【0019】次に、上記構成のSOI基板11を製造する手順について説明する。まず、図1(a)に示す水素イオン注入工程（本発明でいう剥離用イオン注入工程に相当）では、半導体基板材料としての単結晶シリコン基板14に対し、その表面から水素イオン（プロトン）を所定の加速エネルギーで注入し、表面から所定深さの位置の全域に、その表面と平行した状態の水素イオン注入層15（本発明でいう剥離用イオン注入層に相当）を形成する。

【0020】この場合、上記水素イオン注入工程でのドーズ量は、 $1 \times 10^{16}$  atoms/cm<sup>2</sup> ~  $1 \times 10^{17}$  atoms/cm<sup>2</sup> の範囲、好ましくは  $5 \times 10^{16}$  atoms/cm<sup>2</sup> ~  $1 \times 10^{17}$  atoms/cm<sup>2</sup> の範囲に設定する。さらに、イオン注入エネルギーは、水素イオン注入層15を形成する深さに応じて設定することになるが、例えば、水素イオンの注入深さが0.5 μmの場合で約40 KeV程度、1.0 μmの場合で約100 KeV程度となる。尚、注入イオンとしては、上述した水素以外に、希ガスなど種々のものを利用することが考えられる。

【0021】また、実際には、上記のような水素イオン注入工程の実行に先立って、単結晶シリコン基板14の表面に、熱酸化による成膜、またはCVD法やPVD法のような堆積法によって、均一な膜厚（例えば50~100 nm低度）のシリコン酸化膜を汚染保護膜として形成しておくことが望ましい。この汚染保護膜は、水素イオン注入工程において単結晶シリコン基板14が重金属などにより汚染される事態を防止するためのもので、水素イオン注入工程の実行後には、エッチング手段或いは機械研磨手段などを利用して除去することになるが、一部残した状態としても良い。

【0022】次に、図1(b)に示すマスキング工程では、例えばフォトリソグラフィ技術及びドライエッチング技術を用いることにより、単結晶シリコン基板14の

表面（イオン注入側の面）に、開口領域16aを部分的に有したマスク部材16を形成する。

【0023】この場合、マスク部材16の開口領域16aは、前記単結晶シリコン膜13（図2(h)参照）における半導体素子の非形成領域に対応した位置に存するように、格子状或いは島状などの適宜形状に設定されるものであるが、単結晶シリコン基板14の表面全体にほぼ均一に分布した状態となるように形成する。また、その開口領域16aの合計面積は、単結晶シリコン基板14表面の面積の10~50%程度の範囲に収まるように設定することが望ましい。

【0024】次いで、図1(c)に示す酸素イオン注入工程では、単結晶シリコン基板14に対し、その表面（マスク部材16側の面）から酸素イオンを注入することにより、当該単結晶シリコン基板14における前記水素イオン注入層15より浅い所定位置に、前記開口領域16aと対応した形状の酸素イオン注入層17を形成する。

【0025】この場合、上記酸素イオン注入工程でのドーズ量は、 $1 \times 10^{17}$  atoms/cm<sup>2</sup> 以上、好ましくは  $5 \times 10^{17}$  atoms/cm<sup>2</sup> 以上に設定する。さらに、イオン注入エネルギーは、酸素イオン注入層17を形成する深さに応じて設定することになるが、例えば、酸素イオンの注入深さが0.5 μmの場合で約200 KeV程度以下、1.0 μmの場合で約420 KeV程度以下となる。

【0026】この後、図1(d)に示すマスク除去工程では、マスク部材16をエッチング手段などにより除去することによって、単結晶シリコン基板14の表面全体を露出させる。

【0027】このマスク除去工程の実行後には、図2(e)及び(f)に示すような貼り合わせ工程を実行する。この貼り合わせ工程においては、水素イオン注入層15及び酸素イオン注入層17が形成された状態の単結晶シリコン基板14と、支持基板12とを貼り合わせるものであるが、その前処理として親水化処理を行う。

【0028】この親水化処理時には、シリコン酸化膜12aが予め形成された状態の支持基板12及び単結晶シリコン基板14を、所定温度に保温された硫酸と過酸化水素水の混合溶液（例えば、H<sub>2</sub>SO<sub>4</sub> : H<sub>2</sub>O<sub>2</sub> = 4 : 1）などの酸性溶液中に浸漬したり、或いは酸素プラズマ照射及びOH<sup>-</sup>イオン照射するなどの手段によって、支持基板12の表面及び単結晶シリコン基板14の表面に1~100 nm程度の酸化層を形成して親水性を持たせ、しかる後に超純水にて洗浄する処理を行い、さらに、スピンドライヤなどによる乾燥を行って、それらの表面に吸着する水分量を制御する。

【0029】このような親水化処理の実行後には、まず、単結晶シリコン基板14の表面と支持基板12の表面（シリコン酸化膜12aの表面）とを密着させる。こ

れにより、各基板14及び12はそれぞれの表面に形成されたシラノール基及び表面に吸着した水分子の水素結合によって接合される。

【0030】この後には、図2(g)に示すように、本発明でいう剥離工程を兼用した熱処理工程を行う。この熱処理工程では、単結晶シリコン基板14及び支持基板12の一体物に対して、例えば窒素などの不活性ガス雰囲気中において高温(1100℃~1200℃程度以上)の熱処理を1時間程度以上施すものである。

【0031】すると、その温度上昇過程において、単結晶シリコン基板14の温度が400~600℃程度になった時点で、水素イオン注入層15により形成される欠陥層領域部分で微小な気泡が凝集してマクロな気泡を生じ、これにより当該欠陥層領域部分を境界とした剥離が生ずるようになる。このような剥離に伴い、支持基板12側に残置された状態の薄膜状シリコン層18(本発明でいう薄膜状半導体材料層に相当)が形成されるものであり、その薄膜状シリコン層18の厚さ寸法は、水素イオン注入層15の深さ位置(つまり、水素イオン注入工程でのイオン注入深さ)に依存することになる。また、酸素イオン注入層17は、水素イオン注入層15より浅い位置に形成されたものであるから、薄膜状シリコン層18は、当該酸素イオン注入層17を内包した状態となる。

【0032】また、上記のような剥離後においても高温の熱処理が継続されることにより、酸素イオン注入層17が、薄膜状シリコン層18と反応してシリコン酸化領域17'(本発明でいう半導体酸化領域に相当)が形成されると共に、単結晶シリコン基板14及び支持基板12間の貼り合わせ面の接合強度が増大されることとなる。

【0033】つまり、上記のような熱処理工程が実行されるのに応じて、酸素イオン注入層17がシリコン酸化領域17'(図2(h)参照)へ遷移されるものであり、これにより、薄膜状シリコン層18内には、酸素イオン注入層17と同じ位置に、研磨レートが当該薄膜状半導体材料層18より遅い状態のシリコン酸化領域17'が形成されることになる。

【0034】この後、図2(h)に示す剥離面研磨工程では、上記薄膜状シリコン層18に対して、その剥離面側からシリコン酸化領域17'をストップとした状態の選択研磨を施すものである。この剥離面研磨工程は、シリコン酸化領域17'が露出した状態で終了されるものであり、これに応じて、シリコン酸化領域17'の位置(つまり、酸素イオン注入層17のイオン注入深さ)に依存した厚さ寸法の単結晶シリコン膜13を備えたSOI基板11が完成されることになる。尚、上記剥離面研磨工程の終了検知をより高精度に行うためには、研磨面がシリコン酸化領域17'に到達したときの発熱量の増大現象、或いは研磨音の周波数変化現象などを利用して

行うことができる。

【0035】従って、上記した製造方法により得られるSOI基板11にあつては、単結晶シリコン層13の厚さ寸法を、剥離面研磨工程での研磨精度の影響を受けることなく、酸素イオン注入層17のイオン注入深さのみに依存させることが可能になり、その膜厚精度が大幅に向上するようになる。この結果、その単結晶シリコン層13の膜厚が0.1μm程度に設定されるような状況下でも、所望の半導体素子を作り込むことが不可能になる事態を招く恐れがなくなるものである。

【0036】この場合、剥離面研磨工程において、シリコン酸化領域17'が露出した時点で、所望の厚さ寸法の単結晶シリコン膜13を形成できることになるが、そのシリコン酸化領域17'は、単結晶シリコン膜13における半導体素子の非形成領域に形成されたものであるから、これを除去するなどの後加工が不要になる。しかも、マスク部材16における開口領域16aが単結晶シリコン基板14の表面全体にほぼ均一に分布した状態となるように設けられる結果、その後に形成されることになるシリコン酸化領域17'の分布もほぼ均一となるから、剥離面研磨工程の実行時において、当該シリコン酸化領域17'による研磨ストップ機能を確実に働かせ得るようになる。

【0037】また、本実施例による製造方法では、単結晶シリコン基板14から薄膜状シリコン層18を剥離するための剥離工程での熱処理、シリコン酸化領域17'を形成する熱処理と共に、貼り合わせ面の接合強度を向上させるための熱処理工程での熱処理を兼用することによって、それらの工程を連続した一連の工程として実行するようになっているから、製造効率の向上を実現できるようになる。

【0038】さらに、本実施例においてSOI基板11を得るときに、単結晶シリコン基板14は、単結晶シリコン膜13の品質を確保するために、通常の半導体素子を形成する場合のものと同様に不純物濃度が一定値に管理されると共に結晶性が確保された製品ウェハを用いることが望ましいのに対して、貼り合わせる支持基板12は、シリコン酸化膜12aを介して単結晶シリコン膜13を保持する基板としての機能を果たすことで十分であるから、不純物濃度を特に管理していないダミーウェハを用いることで低コスト化を図ることができる。

【0039】また、剥離工程後において、薄膜状シリコン層18が剥離された状態の単結晶シリコン基板14は、その剥離面を研磨などにより平坦化することで再び他のSOI基板11を製造するためのものとして繰り返し何度も使用することができるようになり(リサイクル)、資源の有効活用ができると共に、総じてコストの低減を図ることができるものである。

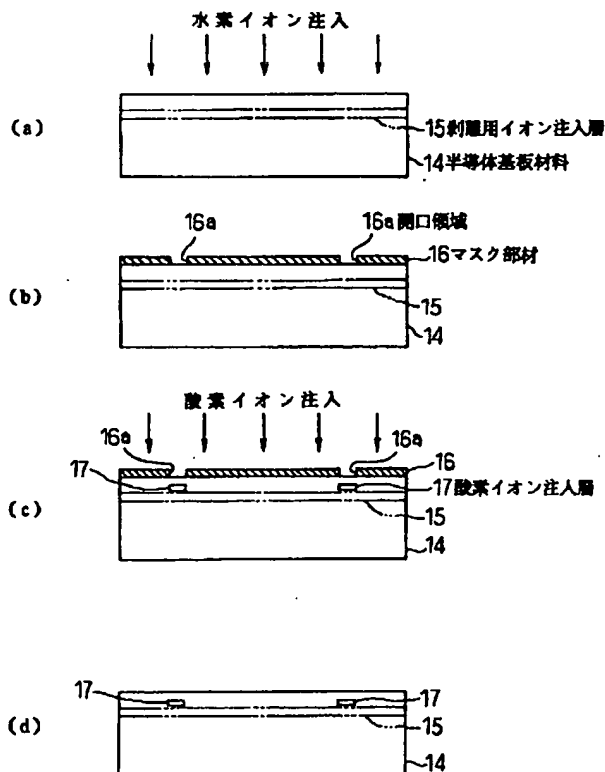
【0040】尚、本発明は上記した実施例に限定されるものではなく、次のような変形または拡張が可能であ

る。剥離工程を兼用した熱処理工程を行う構成としたが、剥離工程のための熱処理を行った後に、もう一度熱処理工程を行う構成としても良いことは勿論である。また、マスキング工程を実行することなく、酸素イオン注入工程を実行することにより、単結晶シリコン基板14の全体に渡った状態の酸素イオン注入層を形成し、その後に剥離工程、上記酸素イオン注入層を薄膜状シリコン層と反応させてシリコン酸化領域を形成する熱処理工程を実行した後に、剥離面研磨工程を実行する構成としても良い。但し、この場合には、剥離面研磨工程後に上記シリコン酸化領域をエッチング手段などにより除去する後加工が必要となる。

【0041】単結晶シリコン基板14としては、単結晶シリコンウェハ上に、シリコンをエピタキシャル成長させた基板や、多孔質のシリコン面上に単結晶シリコンをエピタキシャル成長させた基板などを用いることができる。

【0042】半導体基板材料としては、単結晶シリコンに限らず、4族元素を主体とした半導体であれば、例えば、Ge（ゲルマニウム）、SiC（炭化シリコン）、SiGe（シリコンゲルマニウム）などの基板材料を用

【図1】



いることができ、また、支持基板のための半導体材料としては、単結晶シリコン基板に限らず、他の半導体基板或いは絶縁性を有するセラミック基板はガラス基板などを用いることもでき、特に絶縁性を有するものを用いる場合には、絶縁膜（本実施例の場合、シリコン酸化膜12a）が不要になる。

【図面の簡単な説明】

【図1】本発明の一実施例による製造工程を模式的に示す断面図その1

【図2】製造工程を模式的に示す断面図その2

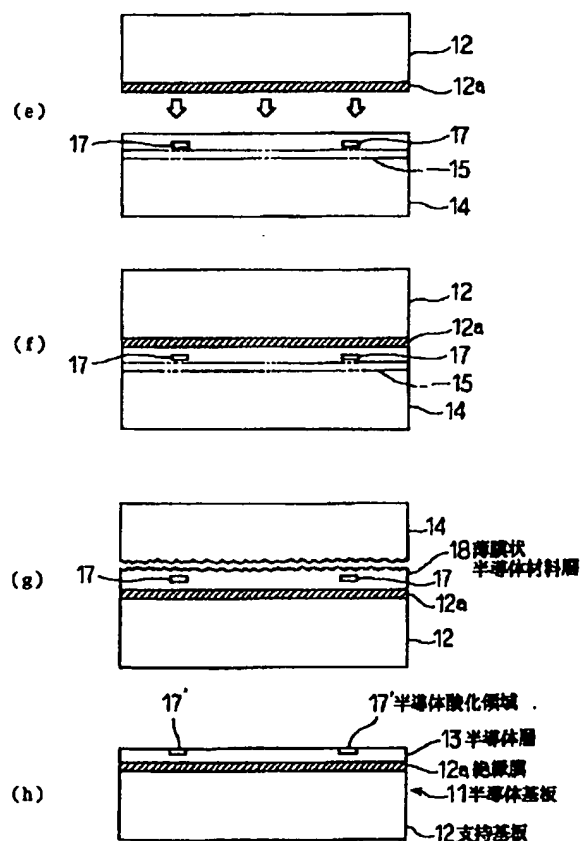
【図3】製造工程の流れを説明するための工程図

【図4】従来の製造工程を模式的に示す断面図

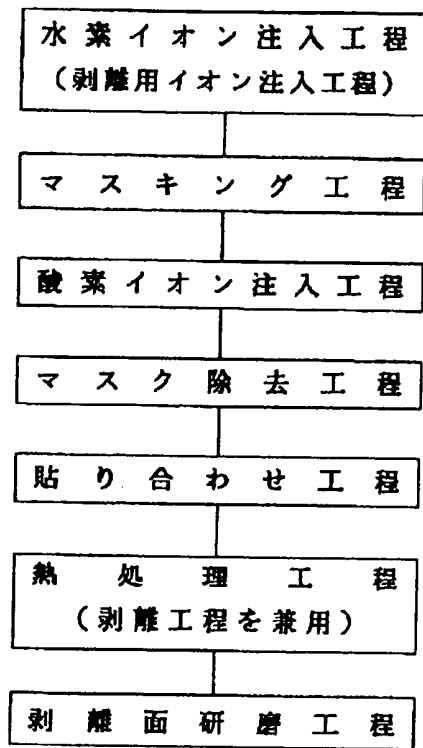
【符号の説明】

11はSOI基板（半導体基板）、12は支持基板、12aはシリコン酸化膜（絶縁膜）、13は単結晶シリコン膜（半導体層）、14は単結晶シリコン基板（半導体基板材料）、15は水素イオン注入層（剥離用イオン注入層）、16はマスク部材、16aは開口領域、17は酸素イオン注入層、17'はシリコン酸化領域（半導体酸化領域）、18は薄膜状シリコン層（薄膜状半導体材料層）を示す。

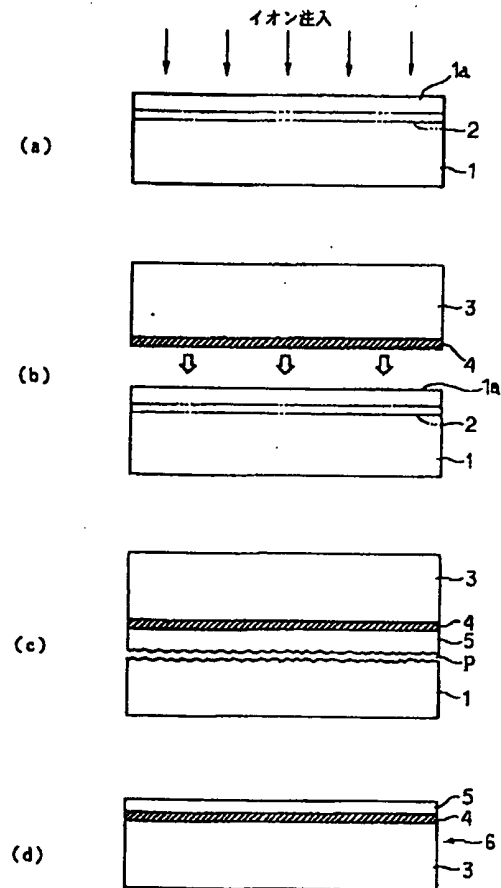
【図2】



【図 3】



【図 4】



フロントページの続き

(72)発明者 松井 正樹  
愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内